

Requested Patent: JP5175221A

Title: HETERO-JUNCTION BIPOLAR TRANSISTOR AND ITS MANUFACTURE ;

Abstracted Patent: JP5175221 ;

Publication Date: 1993-07-13 ;

Inventor(s): RIYUUJI AKIRA ;

Applicant(s): MATSUSHITA ELECTRIC IND CO LTD ;

Application Number: JP19910344817 19911226 ;

Priority Number(s): ;

IPC Classification: H01L21/331; H01L29/73; H01L29/205 ;

Equivalents: JP3117766B2 ;

ABSTRACT:

PURPOSE: To obtain large current gain and excellent high frequency characteristics.

CONSTITUTION: On a GaAs substrate 1, the following are formed; an N type GaAs layer 2 turning to an emitter contact layer, an N-type $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ layer 3c turning to an emitter region, a P type GaAs layer 4a turning to a base region, an N-type GaAs layer 5a turning to a collector region, an N type GaAs layer 6a turning to a collector contact layer, an emitter electrode 12, a base electrode 13 and a collector electrode 14. By epitaxially forming an undoped $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ layer 9a just under an outer base region, electrons injected from the emitter region are sufficiently restrained from leaking into a base electrode 13. By epitaxially forming a P type Ge layer 10a being a highly doped semiconductor layer in the outer base region, base resistance can be reduced.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-175221

(43) 公開日 平成5年(1993)7月13日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/331

29/73

29/205

7377-4M

7377-4M

H 0 1 L 29/72

審査請求 未請求 請求項の数3 (全 6 頁)

(21) 出願番号 特願平3-344817

(22) 出願日 平成3年(1991)12月26日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 龍治 彰

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

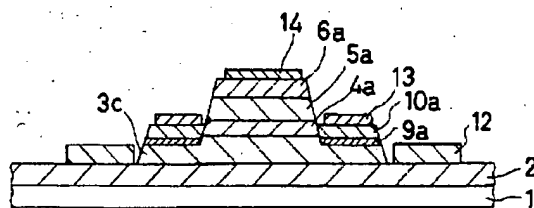
(74) 代理人 弁理士 宮井 暎夫

(54) 【発明の名称】 ヘテロ接合バイポーラトランジスタおよびその製造方法

(57) 【要約】

【目的】 大きい電流利得と優れた高周波特性を得る。

【構成】 GaAs基板1上に、エミッタコンタクト層となるn⁺型GaAs層2、エミッタ領域となるn型Al_{0.3}Ga_{0.7}As層3c、ベース領域となるp⁺型GaAs層4a、コレクタ領域となるn型GaAs層5a、コレクタコンタクト層となるn⁺型GaAs層6a、エミッタ電極12、ベース電極13およびコレクタ電極14が形成されている。さらに、外部ベース領域直下に非ドーパのAl_{0.3}Ga_{0.7}As層9aをエピタキシ形成することにより、エミッタ領域から注入された電子がベース電極13へリークすることは充分抑えられる。外部ベース領域に高ドーパの半導体材料層であるp⁺型Ge層10aをエピタキシ形成することにより、ベース抵抗を低減することができる。



- 1 GaAs基板 (半導体基板)
- 2 n⁺型GaAs
- 3c n型Al_{0.3}Ga_{0.7}As (エミッタ領域)
- 4a p⁺型GaAs (真性ベース領域)
- 5a n型GaAs (コレクタ領域)
- 6a n⁺型GaAs
- 9a エピタキシ形成した非ドーパのAl_{0.3}Ga_{0.7}As (リーク抑止領域)
- 10a エピタキシ形成したp⁺型Ge (外部ベース領域)
- 12 エミッタ電極
- 13 ベース電極
- 14 コレクタ電極

【特許請求の範囲】

【請求項1】 半導体基板上に、一導電型のエミッタ領域、他導電型の真性ベース領域および外部ベース領域、一導電型のコレクタ領域を順に備えたコレクタトップ型のヘテロ接合バイポーラトランジスタであって、前記外部ベース領域直下にエピタキシ形成したリーク抑止領域を設けたことを特徴とするヘテロ接合バイポーラトランジスタ。

【請求項2】 外部ベース領域を、真性ベース領域よりも高ドーパの同種または異種の半導体材料層をエピタキシ形成した請求項1記載のヘテロ接合バイポーラトランジスタ。

【請求項3】 半導体基板上に、一導電型のエミッタ領域となるエミッタ材料層、他導電型の真性ベース領域となるベース材料層、一導電型のコレクタ領域となるコレクタ材料層を順次形成する工程と、

前記コレクタ領域に対応する絶縁膜を形成し、この絶縁膜をマスクとして用いて湿式エッチングにより、マスクの直下の部分を残して、コレクタ材料層およびベース材料層とエミッタ材料層の一部とを除去して順メサを形成する工程と、

前記絶縁膜をマスクとして分子線エピタキシ法により基板面に対して垂直方向から、前記エッチング除去した一部のエミッタ材料層と同等の厚さを有したリーク抑止領域となる第1の半導体材料層を形成する工程と、

前記絶縁膜をマスクとして分子線エピタキシ法により基板面に対して垂直方向から、前記ベース材料層と同等の厚さを有し前記ベース材料層よりも高ドーパの同種もしくは異種の外部ベース領域となる第2の半導体材料層を形成する工程と、

前記第2の半導体材料層と、前記第1の半導体材料層と、前記エミッタ材料層とをエッチングして、前記外部ベース領域と、前記リーク抑止領域と、前記エミッタ領域とを形成する工程と、

エミッタ電極、ベース電極およびコレクタ電極を形成する工程とを含むヘテロ接合バイポーラトランジスタの製造方法。

【発明の詳細な説明】

【0001】

$$R_b = \frac{l_c R_s}{12 L_c} + \frac{l_{bc} R_s}{2 L_c} + \frac{(\rho_c R_s)^{1/2}}{2 L_c}$$

【0008】ここで、 L_c 、 l_c 、 l_{bc} は、それぞれコレクタ長、コレクタ幅、コレクタとベース電極間距離であり、 R_s 、 ρ_c はそれぞれベース層のシート抵抗、コンタクト抵抗率である。従って、本質的に高速、高周波化に有利なHBTを有効に生かすためには、数1、数2より、抵抗、容量などの浮遊要素を低減することが重要である。特に最大発振周波数 f_{max} を大きくするためには、ベース・コレクタ間容量 C_{bc} とベース抵抗 R_b を低

*【産業上の利用分野】この発明は、高速、高周波デバイスとして有望なヘテロ接合バイポーラトランジスタ（以下「HBT」という）に関するものである。

【0002】

【従来の技術】エミッタをベースよりもエネルギーバンドギャップの大きい半導体材料で構成しているHBTは、ホモ接合バイポーラトランジスタにくらべて多くの利点を有している。これらを列記すると次の通りである。

(1) エミッタへのベースからの少数キャリアの逆注入が小さいため、エミッタ注入効率が高く、電流利得が高い。

(2) (1)の結果、ベースの不純物濃度を高くしても高い電流利得が維持でき、ベース抵抗を小さくすることができる。

(3) (1)の結果、エミッタの不純物濃度を下げることができるため、エミッタ接合容量を小さくすることができる。

【0003】これらの利点のためにHBTは、超高周波トランジスタ、高速論理用トランジスタとして有望視されている。一般にバイポーラトランジスタの電流利得遮断周波数 f_t と最大発振周波数 f_{max} は、それぞれ数1、数2で与えられる。

【0004】

【数1】

$$f_t = 1 / 2 \pi \tau_{ec}$$

【0005】

【数2】

$$f_{max} = (f_t / 8 \pi R_b C_{bc})^{1/2}$$

【0006】ここで τ_{ec} はエミッタ・コレクタ間の全遅延時間であり、 C_{bc} はベース・コレクタ間容量、 R_b はベース抵抗である。このベース抵抗 R_b は、コレクタを上部に設けたコレクタトップ型のトランジスタで、ベース電極をコレクタの両側でとる構造では数3で与えられる。

【0007】

【数3】

減することが重要である。このためコレクタを上部に設けたコレクタトップ型のHBTはこのベース・コレクタ間容量 C_{bc} を低減でき、高周波特性の向上に有利である。

【0009】また、ベース抵抗 R_b は数3からわかるように、数3の右辺第一項である真性ベース部分の抵抗は、コレクタ領域のサイズを最適化することにより十分小さくすることができる。数3の右辺第二項は自己整合

3

法を適用して、コレクタとベース電極間の距離を小さくすることにより十分小さくすることができる。数3の右辺第三項はベース濃度を高くしたり、金属とのコンタクト抵抗が小さい半導体材料を導入することにより十分小さくすることができる。

【0010】ところで、従来のコレクタトップ型のHBTは、図6に示す断面構造を有している。この従来のコレクタトップ型のHBTはGaAs-AlGaAs系HBTであり、(001)面方位を有する半絶縁性のGaAs基板21上に、エミッタコンタクト層となるn⁺型GaAs層22、エミッタ領域となるn型Al_{0.3}Ga_{0.7}As層23、ベース領域となるp⁺型GaAs層24、コレクタ領域となるn型GaAs層25、コレクタコンタクト層となるn⁺型GaAs層26、エミッタ電極32、ベース電極33およびコレクタ電極34が形成され、さらに、外部ベース領域の直下のエミッタ領域には、酸素を用いたイオン注入により絶縁化された絶縁領域35が形成されている。

【0011】このようにコレクタトップ型の構造とすることによりベース・コレクタ間容量は十分低減することができる。また、絶縁領域35を設け、エミッタ領域から注入された電子がベース電極33へリークすることを抑えて電流利得を大きくするようにしている。

【0012】

【発明が解決しようとする課題】しかしながら上記従来の構成および製造方法では、絶縁領域35を形成するためのイオン注入を行う際に、ベース領域を酸素が通過するため、ベース領域の結晶の悪化を招き、ベース電極33となる金属とのコンタクト抵抗が十分小さくならず、高周波特性を劣化させる原因となっている。また注入後、活性化させるために700℃以上に温度を上げる必要があるため急峻なドーピングプロファイルおよび組成プロファイルを破壊してしまう。そのため、イオン注入により形成した絶縁領域35は、十分にリーク電流を抑えているとは言い難く、したがって電流利得を大きくする上で限界がある。

【0013】この発明の目的は、電流利得の大きいヘテロ接合バイポーラトランジスタを提供することと、電流利得が大きくかつ高周波特性の優れたヘテロ接合バイポーラトランジスタおよびその製造方法を提供することである。

【0014】

【課題を解決するための手段】請求項1記載のヘテロ接合バイポーラトランジスタは、半導体基板上に、一導電型のエミッタ領域、他導電型の真性ベース領域および外部ベース領域、一導電型のコレクタ領域を順に備えており、外部ベース領域直下にエピタキシ形成したリーク抑止領域を設けたことを特徴とする。

【0015】請求項2記載のヘテロ接合バイポーラトランジスタは、請求項1記載のヘテロ接合バイポーラトランジスタにおいて、外部ベース領域として、真性ベース領域よりも高ドーブの同種または異種の半導体材料層をエピタキシ形成している。請求項3記載のヘテロ接合バイポーラトランジスタの製造方法は、半導体基板上に、一導電型のエミッタ領域となるエミッタ材料層、他導電型の真性ベース領域となるベース材料層、一導電型のコレクタ領域となるコレクタ材料層を順次形成する工程と、コレクタ領域に対応する絶縁膜を形成し、この絶縁膜をマスクとして用いて湿式エッチングにより、マスクの直下の部分を残して、コレクタ材料層およびベース材料層とエミッタ材料層の一部とを除去して順メサを形成する工程と、絶縁膜をマスクとして分子線エピタキシ法により基板面に対して垂直方向から、エッチング除去した一部のエミッタ材料層と同等の厚さを有したリーク抑止領域となる第1の半導体材料層を形成する工程と、絶縁膜をマスクとして分子線エピタキシ法により基板面に対して垂直方向から、ベース材料層と同等の厚さを有しベース材料層よりも高ドーブの同種もしくは異種の外部ベース領域となる第2の半導体材料層を形成する工程と、第2の半導体材料層と、第1の半導体材料層と、エミッタ材料層とをエッチングして、外部ベース領域と、リーク抑止領域と、エミッタ領域とを形成する工程と、エミッタ電極、ベース電極およびコレクタ電極を形成する工程とを含んでいる。

ンジスタにおいて、外部ベース領域として、真性ベース領域よりも高ドーブの同種または異種の半導体材料層をエピタキシ形成している。請求項3記載のヘテロ接合バイポーラトランジスタの製造方法は、半導体基板上に、一導電型のエミッタ領域となるエミッタ材料層、他導電型の真性ベース領域となるベース材料層、一導電型のコレクタ領域となるコレクタ材料層を順次形成する工程と、コレクタ領域に対応する絶縁膜を形成し、この絶縁膜をマスクとして用いて湿式エッチングにより、マスクの直下の部分を残して、コレクタ材料層およびベース材料層とエミッタ材料層の一部とを除去して順メサを形成する工程と、絶縁膜をマスクとして分子線エピタキシ法により基板面に対して垂直方向から、エッチング除去した一部のエミッタ材料層と同等の厚さを有したリーク抑止領域となる第1の半導体材料層を形成する工程と、絶縁膜をマスクとして分子線エピタキシ法により基板面に対して垂直方向から、ベース材料層と同等の厚さを有しベース材料層よりも高ドーブの同種もしくは異種の外部ベース領域となる第2の半導体材料層を形成する工程と、第2の半導体材料層と、第1の半導体材料層と、エミッタ材料層とをエッチングして、外部ベース領域と、リーク抑止領域と、エミッタ領域とを形成する工程と、エミッタ電極、ベース電極およびコレクタ電極を形成する工程とを含んでいる。

【0016】

【作用】この発明のヘテロ接合バイポーラトランジスタおよびその製造方法によれば、外部ベース領域直下にリーク抑止領域をエピタキシ形成することにより、エミッタ領域から注入された電子がベース電極へリークすることは充分抑えられるため、電流利得を大きくすることができる。

【0017】さらに、外部ベース領域に高ドーブの同種もしくは異種の半導体材料層（第2の半導体材料層）をエピタキシ形成することにより、ベース抵抗を低減することができる。この結果、高い電流利得を有し、かつ高周波特性に優れたヘテロ接合バイポーラトランジスタを実現することができる。

【0018】

【実施例】以下この発明の一実施例を図面を参照しながら説明する。図1にこの発明の一実施例のヘテロ接合バイポーラトランジスタの断面構造図を示す。このヘテロ接合バイポーラトランジスタは、(001)面方位を有する半絶縁性のGaAs基板1上に、エミッタコンタクト層となるn⁺型GaAs層2、エミッタ領域となるn型Al_{0.3}Ga_{0.7}As層3c、真性ベース領域となるp⁺型GaAs層4a、コレクタ領域となるn型GaAs層5a、コレクタコンタクト層となるn⁺型GaAs層6a、エミッタ電極12、ベース電極13およびコレクタ電極14が形成され、さらに、エミッタ領域から注入された電子がベース電極13へリークすることを抑える。

5

るためのリーク抑止領域として非ドーブの $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 層9aと、外部ベース領域として p^+ 型Ge層10aとが、エピタキシ形成されている。

【0019】このように構成されるヘテロ接合バイポーラトランジスタの製造方法を、さらに図2ないし図5を参照しながら説明する。まず、(001)面方位を有する半絶縁性のGaAs基板1上に、分子線エピタキシ(MBE)法を用いて、 5×10^{18} 個/cm³のn型不純物を含有する厚さ600nmの n^+ 型GaAs層2、 5×10^{17} 個/cm³のn型不純物を含有する厚さ100nmのn型 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 層(エミッタ材料層)3、 4×10^{19} 個/cm³のp型不純物を含有する厚さ100nmの p^+ 型GaAs層(ベース材料層)4、 5×10^{16} 個/cm³のn型不純物を含有する厚さ500nmのn型GaAs層(コレクタ材料層)5、 5×10^{18} 個/cm³のn型不純物を含有する厚さ200nmの n^+ 型GaAs層6を形成し、その後、気相成長法により酸化珪素(SiO_2)膜7を全面に形成して、図2に示す構造を得る。

【0020】次に、 SiO_2 膜7上に蒸着とリフトオフを用いて、コレクタ領域に対応するアルミニウムからなるパターン8を、パターンの伸長方向を[110]方位に置いて形成する。ついで、アルミニウムからなるパターン8をマスクとして用い、エッチングガスとして、沸化メタン(CHF_3)を用いて、平行平板型リアクティブエッチング(RIE)装置により、 SiO_2 膜7をエッチングして、パターン8に対応した SiO_2 膜からなる絶縁膜7aを形成する。その後、硫酸・過酸化水素系のエッチング液により、パターン8と絶縁膜7aをマスクとして用いて、湿式エッチングでn型 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 層3が70nm程度残るまでエッチングして、 n^+ 型GaAs層6a、n型GaAs層5a、 p^+ 型GaAs層4aおよびn型 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 層3aからなる順メサ及び薄いn型 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 層3bを形成し、図3に示す構造を得る。

【0021】ついで、アルミニウムのパターン8を除去した後、分子線エピタキシ法により基板に対して垂直方向から非ドーブの $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 層(第1の半導体材料層)9を30nm程度、ついで 1×10^{20} 個/cm³のp型不純物を含有する厚さ100nmの p^+ 型Ge層(第2の半導体材料層)10を形成して、図4に示す構造を得る。

【0022】次に、 SiO_2 膜からなる絶縁膜7aとその上に付着した多結晶化した半導体材料層(図示せず)を選択的に除去した後、フォトリソグラフィ技術とエッチングにより p^+ 型Ge層10a、 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 層9a、n型 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 層3cからなるメサを形成し、 n^+ 型GaAs層2を露出せしめ、図5に示す構造を得る。

【0023】最後にフォトリソグラフィ技術、及び蒸着

6

によりエミッタ電極12、ベース電極13およびコレクタ電極14を形成し、図1に示すHBTが完成する。以上のようにこの実施例によれば、外部ベース領域直下にリーク抑止領域として非ドーブの $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 層9aをエピタキシ形成することにより、エミッタ領域から注入された電子がベース電極13へリークすることは充分抑えられるため、電流利得を大きくすることができる。

【0024】さらに、外部ベース領域に高ドーブの半導体材料層(第2の半導体材料層)である p^+ 型Ge層10aをエピタキシ形成することにより、ベース抵抗を低減することができる。この結果、高い電流利得を有し、かつ高周波特性に優れたヘテロ接合バイポーラトランジスタを実現することができる。この実施例では、外部ベース領域としてp型のGe(p^+ 型Ge層10a)を用いているが、真性ベース領域を形成しているp型のGaAs(p^+ 型GaAs層4a)と同じ濃度もしくはそれ以上の濃度を有するGaAsを用いてもよい。

【0025】また、外部ベース領域の直下にエピタキシ形成するリーク抑止領域として、非ドーブの $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 層9aを用いているが、p型にドーブした $\text{Al}_{1-x}\text{Ga}_x\text{As}$ ($x > 0.3$)をエピタキシ形成して用いてもよい。なお、この場合、p型にドーブした $\text{Al}_{1-x}\text{Ga}_x\text{As}$ ($x > 0.3$)は、エミッタ領域よりもバンドギャップの大きいエミッタ領域と異なる導電型であり、外部ベース領域直下のエミッタ領域内にpn接合が形成されるが、これはワイドバンドギャップ間の接合のため真性ベース領域とエミッタ領域とのpn接合に比べてon電圧は高く、通常の動作範囲では接合部を流れる電流は無視できる。

【0026】また、エミッタ領域として $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ の組成のものを用いているが、これ以外の組成でもよく、要するにエミッタ領域が真性ベース領域よりもエネルギーバンドギャップが大きければよい。なお、この実施例では、npn型のHBTについて記述しているが、pnp型のHBTに対しても適用できる。また実施例ではGaAs-AlGaAs系のHBTについて述べているが、他の材料系のHBTでも適用できる。

【0027】例えば、エミッタ領域としてn型にドーブされたGaAs、真性ベース領域としてp型にドーブされたGe、コレクタ領域としてn型にドーブされたGe、外部ベース領域直下のエミッタ領域にエピタキシ形成されたリーク抑止領域として非ドーブもしくはp型にドーブされた $\text{Al}_{1-x}\text{Ga}_x\text{As}$ ($x > 0$)、外部ベース領域として真性ベース領域を形成しているp型にドーブされたGe以上のキャリア濃度を有するGeを用いてもよい。

【0028】また、エミッタ領域としてp型にドーブされた $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 、真性ベース領域としてn型にドーブされたGaAs、コレクタとしてp型にドーブ

7

されたGaAs、外部ベース領域直下のエミッタ領域にエピタキシ形成されたリーク抑止領域として非ドープもしくはn型にドープされた $Al_{1-x}Ga_xAs$ ($x > 0.3$)、外部ベース領域として真性ベース領域を形成しているn型にドープされたGaAs以上のキャリア濃度を有するGaAsもしくはGeを用いてもよい。

【0029】また、エミッタ領域としてp型にドープされたGaAs、真性ベース領域としてn型にドープされたGe、コレクタ領域としてp型にドープされたGe、外部ベース領域直下のエミッタ領域にエピタキシ形成されたリーク抑止領域として非ドープもしくはn型にドープされた $Al_{1-x}Ga_xAs$ ($x > 0$)、外部ベース領域として真性ベース領域を形成しているn型にドープされたGe以上のキャリア濃度を有するGeを用いてもよい。

【0030】

【発明の効果】以上のようにこの発明のヘテロ接合バイポーラトランジスタおよびその製造方法によれば、外部ベース領域直下にリーク抑止領域をエピタキシ形成することにより、エミッタ領域から注入された電子がベース電極へリークすることは充分抑えられるため、電流利得を大きくすることができる。

【0031】さらに、外部ベース領域に高ドープの同種もしくは異種の半導体材料層（第2の半導体材料層）をエピタキシ形成することにより、ベース抵抗を低減することができる。この結果、高い電流利得を有し、かつ高周波特性に優れたヘテロ接合バイポーラトランジスタを実現することができる。

【図面の簡単な説明】

【図1】この発明の一実施例のヘテロ接合バイポーラトランジスタの断面図である。

【図2】この発明の一実施例のヘテロ接合バイポーラトランジスタを製造する工程を示す断面図である。

【図3】この発明の一実施例のヘテロ接合バイポーラトランジスタを製造する工程を示す断面図である。

8

【図4】この発明の一実施例のヘテロ接合バイポーラトランジスタを製造する工程を示す断面図である。

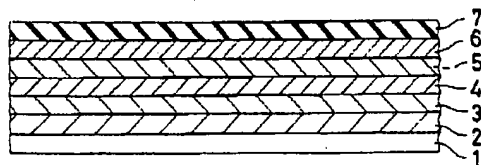
【図5】この発明の一実施例のヘテロ接合バイポーラトランジスタを製造する工程を示す断面図である。

【図6】従来例のヘテロ接合バイポーラトランジスタの断面図である。

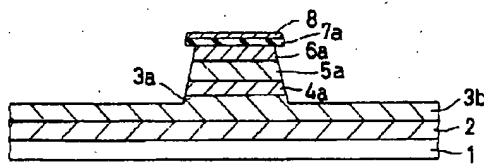
【符号の説明】

- 1 GaAs基板（半導体基板）
- 2 n⁺型GaAs
- 3 n型 $Al_{0.3}Ga_{0.7}As$ （エミッタ材料層）
 - 3a n型 $Al_{0.3}Ga_{0.7}As$
 - 3b エッチングのとき残したn型 $Al_{0.3}Ga_{0.7}As$
 - 3c n型 $Al_{0.3}Ga_{0.7}As$ （エミッタ領域）
- 4 p⁺型GaAs（ベース材料層）
 - 4a メサを形成するp⁺型GaAs（真性ベース領域）
- 5 n型GaAs（コレクタ材料層）
 - 5a メサを形成するn型GaAs（コレクタ領域）
- 6 n⁺型GaAs
 - 6a n⁺型GaAs
- 7 SiO₂膜
 - 7a SiO₂膜からなる絶縁膜
- 8 アルミニウムのパターン
- 9 エピタキシ形成した非ドープの $Al_{0.3}Ga_{0.7}As$ （第1の半導体材料層）
 - 9a エピタキシ形成した非ドープの $Al_{0.3}Ga_{0.7}As$ （リーク抑止領域）
- 10 エピタキシ形成したp⁺型Ge（第2の半導体材料層）
 - 10a エピタキシ形成したp⁺型Ge（外部ベース領域）
- 12 エミッタ電極
- 13 ベース電極
- 14 コレクタ電極

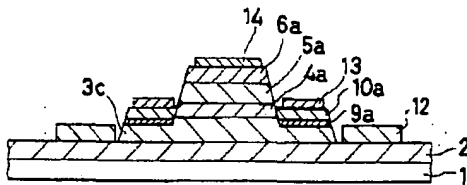
【図2】



【図3】

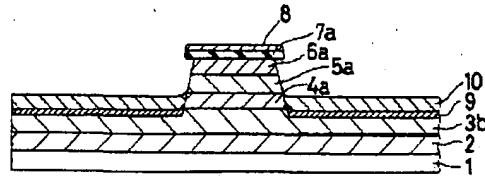


【図1】

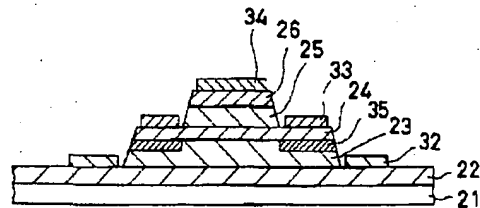


- 1 GaAs基板 (半導体基板)
- 2 n+ 型GaAs
- 3c n型Al_{0.3}Ga_{0.7}As (エミッタ領域)
- 4a p+ 型GaAs (真性ベース領域)
- 5a n型GaAs (コレクタ領域)
- 6a n+ 型GaAs
- 9a エピタキシン形成した非ドーパのAl_{0.3}Ga_{0.7}As (リーク抑止領域)
- 10a エピタキシン形成したp+ 型Ge (外部ベース領域)
- 12 エミッタ電極
- 13 ベース電極
- 14 コレクタ電極

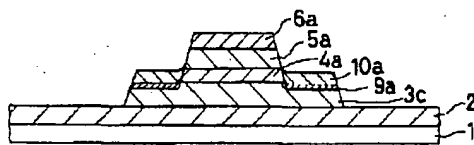
【図4】



【図6】



【図5】



- 1 GaAs基板 (半導体基板)
- 2 n+ 型GaAs
- 3 n型Al_{0.3}Ga_{0.7}As (エミッタ材料層)
- 3a n型Al_{0.3}Ga_{0.7}As
- 3b エッチングのとき残したn型Al_{0.3}Ga_{0.7}As
- 3c n型Al_{0.3}Ga_{0.7}As (エミッタ領域)
- 4 p+ 型GaAs (ベース材料層)
- 4a p+ 型GaAs (真性ベース領域)
- 5 n型GaAs (コレクタ材料層)
- 5a n型GaAs (コレクタ領域)
- 6 n+ 型GaAs
- 6a n+ 型GaAs
- 7 SiO₂膜
- 7a SiO₂膜からなる絶縁膜
- 8 アルミニウムのパターン
- 9 エピタキシン形成した非ドーパのAl_{0.3}Ga_{0.7}As (第1の半導体材料層)
- 9a エピタキシン形成した非ドーパのAl_{0.3}Ga_{0.7}As (リーク抑止領域)
- 10 エピタキシン形成したp+ 型Ge (第2の半導体材料層)
- 10a エピタキシン形成したp+ 型Ge (外部ベース領域)